



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Tae-gyoung Kang et al.      Docket: 8729-222 (SS-18970-US)

Serial No.: 10/644,145

Filed: August 20, 2003

For: CONTENT ADDRESSABLE MEMORY DEVICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450


SUBMISSION OF PRIORITY DOCUMENT

Sir:

Attached herewith is a certified copy of Korean Application No. 03-26427 filed April 25, 2003 from which priority is claimed in the above-identified application under 35 U.S.C. §119.

Respectfully submitted,

F. CHAU & ASSOCIATES, LLP


  
\_\_\_\_\_  
Frank Chau  
Reg. No. 34,136  
Attorney for Applicant(s)

F. CHAU & ASSOCIATES, LLP  
1900 Hempstead Turnpike, Suite 501  
East Meadow, NY 11554  
Tel.: (516) 357-0091  
Fax: (516) 357-0092  
FC:pg

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on September 10, 2003.

Dated: 9/10/03

  
\_\_\_\_\_  
Frank Chau





별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0026427  
Application Number

출원 년 월 일 : 2003년 04월 25일  
Date of Application

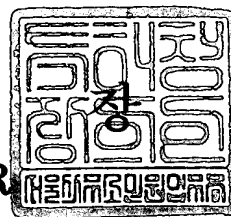
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      26      일

특      허      청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2003.04.25
【국제특허분류】	H01L
【발명의 명칭】	칼럼 결함 복구가 가능한 캠 및 캠럼 결함 복구 방법
【발명의 영문명칭】	CAM having column redundant array for replacing a defective cell and method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	강태경
【성명의 영문표기】	KANG, Tae Gyoung
【주민등록번호】	671030-1953915
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 1168 진산마을 삼성5차아파트 507동6 03호
【국적】	KR
【발명자】	
【성명의 국문표기】	조욱래
【성명의 영문표기】	CH0, Uk Rae
【주민등록번호】	640306-1804617



**【우편번호】** 441-390  
**【주소】** 경기도 수원시 권선구 권선동 대원신동아아파트  
 509동 402호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조  
 의 규정에 의한 출원심사 를 청구합니다. 대리인  
 이영필 (인) 대리인  
 정상빈 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 30 면 30,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 23 항 845,000 원  
**【합계】** 904,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통



**【요약서】****【요약】**

칼럼 결합 복구가 가능한 캠 및 칼럼 결합 복구 방법이 개시된다. 본 발명에 따른 칼럼 결합 복구가 가능한 캠은 복수개의 캠 셀을 구비하는 메인 캠 어레이, 상기 메인 캠 어레이의 칼럼 결합 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이, 서치라인 프리차지 회로 및 스위칭 회로를 구비한다. 서치라인 프리차지 회로는 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시킨다. 스위칭 회로는 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체한다. 상술한 바와 같이 본 발명에 따른 캠의 칼럼 결합 복구 방법 및 칼럼 결합 복구가 가능한 캠은 종래에 로우(row) 방향의 결합 복구만 가능했던 것과 달리 칼럼(column) 방향의 결합 복구도 쉽게 할 수 있는 장점이 있다.

**【대표도】**

도 3



**【명세서】****【발명의 명칭】**

칼럼 결함 복구가 가능한 캠 및 칼럼 결함 복구 방법{CAM having column redundant array for replacing a defective cell and method thereof}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 티 캠 셀을 설명하는 회로도이다.

도 2는 본 발명의 제 1 실시예에 따른 티 캠 셀의 회로도이다.

도 3은 본 발명의 제 2 실시예에 따른 캠을 나타내는 블록도이다.

도 4는 도 3의 캠 어레이를 설명하는 블록도이다.

도 5는 도 3의 서치 라인 프리차지 회로를 설명하는 회로도이다.

도 6은 도 3의 스위칭 회로를 설명하는 회로도이다.

도 7은 본 발명의 제 3 실시예에 따른 캠을 나타내는 블록도이다.

도 8은 도 7의 서치 라인 프리차지 회로를 설명하는 회로도이다.

도 9는 본 발명의 제 4 실시예에 따른 캠을 나타내는 블록도이다.

도 10A 는 도 9의 메인 서치 라인 드라이버의 회로도이다.

도 10B 는 도 9의 예비 서치 라인 드라이버이다.



**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13>        본 발명은 캠(CAM: Content Addressable Memory)에 관한 것으로서, 특히 칼럼 결함 복구가 가능한 캠 및 칼럼 결함 복구 방법에 관한 것이다.
- <14>        램(RAM)이나 롬(ROM)은 내부의 메모리 셀 어레이의 특정 위치를 지시하고 지시된 어드레스에 대응되는 저장 데이터를 출력하기 위하여 어드레스를 이용한다. 반면에 캠(CAM :Content Addressable Memory)은 외부 데이터를 수신하여 내부에 저장된 데이터와 매치(match)되는지 여부를 판단하기 위하여 비교하며 비교 결과에 대응되는 어드레스를 출력한다.
- <15>        캠의 각각의 셀은 비교 로직을 구비한다. 캠으로 입력되는 데이터는 모든 셀들에 저장된 데이터와 비교되고, 출력되는 어드레스는 매치 결과를 나타낸다. 캠은 패턴(pattern)이나 리스트, 이미지 데이터등을 빨리 검색할 필요가 있는 응용분야에 많이 이용된다.
- <16>        캠은 바이너리 캠(binary CAM)과 터캠(TCAM : Ternary CAM)으로 구분된다. 일반적인 바이너리 캠은 1과 0의 두 논리 상태 중 하나를 저장하기 위한 램(RAM) 셀을 구비한다.
- <17>        바이너리 캠은 외부에서 제공되는 데이터(이하, 서치(search) 데이터라고 한다.)를 램(RAM) 셀에 저장된 데이터와 비교하고, 서치 데이터와 저장된 데이터



가 일치되면 대응되는 매치 라인(match line)을 일정한 논리 상태로 설정하는 비교 회로를 구비한다.

<18> 바이너리 캠의 예들은 미국 특허번호 4,646,271 미국 특허번호 4,780,845 미국 특허번호 5,490,102 및 미국 특허번호 5,495,382에 개시되어 있다. 티 캠은 세 가지 논리 상태, 즉, '1', '0' 및 '돈 캐어(don't care)' 상태를 저장할 수 있다. 티 캠의 예는 미국 특허번호 5,319,590에 개시되어 있다.

<19> 도 1은 일반적인 티 캠 셀을 설명하는 회로도이다.

<20> 도 1을 참조하면, 일반적인 티 캠 셀(MC11-1)은 데이터를 저장하는 에스램 셀들(110, 120) 및 비교 회로(130)를 구비한다. 에스램 셀(110)은 두 개의 인버터들(INV1, INV2)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL1, /BL1)의 데이터를 래치로 전송하는 제 1 및 제 2 액세스 트랜지스터(Q1, Q2)를 구비한다.

<21> 마찬가지로, 에스램 셀(120)은 두 개의 인버터들(INV3, INV4)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL2, /BL2)의 데이터를 래치로 전송하는 제 3 및 제 4 액세스 트랜지스터(Q3, Q4)를 구비한다.

<22> 비교 회로(130)는 제 1 내지 제 4 비교 트랜지스터들(Q5, Q6, Q7, Q8)을 구비한다. 제 1 및 제 2 비교 트랜지스터(Q5, Q6)는 서로 직렬 연결되며 제 1 비교 트랜지스터(Q5)의 드레인이 매치 라인()과 연결되고 제 2 비교 트랜지스터(Q6)의 소스가 그라운드에 연결된다.



- <23> 제 1 비교 트랜지스터(Q5)의 게이트는 서치 라인(SL1)에 연결되고 제 2 비교 트랜지스터(Q6)의 게이트는 에스램 셀(110)의 인버터(INV2)의 출력에 연결된다.
- <24> 마찬가지로, 제 3 및 제 4 비교 트랜지스터(Q7, Q8)는 서로 직렬 연결되며 제 3 비교 트랜지스터(Q7)의 드레인이 매치 라인(ML)과 연결되고 제 4 비교 트랜지스터(Q8)의 소스가 그라운드에 연결된다.
- <25> 제 3 비교 트랜지스터(Q7)의 게이트는 반전 서치 라인(/SL1)에 연결되고 제 4 비교 트랜지스터(Q8)의 게이트는 에스램 셀(120)의 인버터(INV4)의 입력에 연결된다.
- <26> 기입 동작에 대하여 설명한다. 에스램 셀(110, 120)에 저장될 데이터가 비트라인 쌍(BL1, /BL1, BL2, /BL2)에 실린다. 워드 라인(WL)이 하이 레벨로 활성화되면 제 1 내지 제 4 액세스 트랜지스터들(Q1, Q2, Q3, Q4)이 턴 온 된다. 그러면 비트라인 쌍(BL1, /BL1, BL2, /BL2)에 실린 데이터가 두 개의 에스램 셀(110, 120)에 저장되고 워드 라인(WL)이 비활성화 된다.
- <27> 데이터의 독출 동작의 경우, 워드 라인(WL)이 하이 레벨로 활성화되고 두 개의 에스램 셀(110, 120)에 저장된 데이터가 비트라인 쌍(BL1, /BL1, BL2, /BL2)으로 전송된다. 그리고 비트라인 쌍(BL1, /BL1, BL2, /BL2)의 데이터는 데이터 버스(미도시)로 다시 전송된다.
- <28> 티 캄 셀(MC11-1)의 검색과 비교 동작에 대해서 설명된다.



- <29>        매치 라인(ML)은 처음에는 하이 레벨로 프리차지 되고 서치 데이터는 서치 라인 쌍(SL1, /SL1)에 실려진다. 본 발명에서는 설명의 편의를 위하여 매치 라인(ML)이 처음에는 하이 레벨로 프리차지 된다고 설명하였으나, 반드시 하이 레벨로만 프리차지 되는 것은 아니며 로우 레벨로 프리차지 될 수 있음은 당업자에게는 자명하다 할 것이다.
- <30>        만일 서치 데이터와 저장된 데이터가 불일치 한다면 매치 라인(ML)의 논리 레벨이 변화된다. 즉, 서치 데이터와 저장된 데이터가 불일치하면 매치 라인(ML)의 논리 레벨은 로우 레벨로 변화된다. 그러나 서치 데이터와 저장된 데이터가 일치하면 매치 라인(ML)의 논리 레벨은 하이 레벨을 그대로 유지한다.
- <31>        비트라인(BL1)에 '0'과 반전 비트라인(/BL1)에 '1'이 인가되면 에스램 셀(110)에 '1'이 저장되고, 비트라인(BL2)에 '0'과 반전 비트라인(/BL2)에 '1'이 인가되면 에스램 셀(120)에 '0'이 저장되며, 서치 라인(SL1)이 '1'을 가지고 반전 서치 라인(/SL1)이 '0'을 가진다고 가정한다. 이러한 상태는 불일치 상태이다. 에스램 셀(110)은 논리 '1'을 제 2 비교 트랜지스터(Q6)로 인가하고 제 2 비교 트랜지스터(Q6)는 턴 온 된다.
- <32>        서치 라인(SL1)은 논리 '1'을 제 1 비교 트랜지스터(Q5)에 인가하고 제 1 비교 트랜지스터(Q5)는 턴 온 된다. 제 1 비교 트랜지스터(Q5)와 제 2 비교 트랜지스터(Q6)는 직렬 연결되어 있으므로 전류 패스를 형성하고 매치 라인(ML)을 방전시킨다. 따라서 매치 라인(ML)의 논리 상태가 로우 레벨로 변화되고 이는 서치 데이터와 저장된 데이터가 불일치 되는 것을 의미한다.



- <33> 비트라인(BL1)에 '1'과 반전 비트라인(/BL1)에 '0'이 인가되면 에스램 셀(110)에 '0'이 저장되고, 비트라인(BL2)에 '1'과 반전 비트라인(/BL2)에 '0'이 인가되면 에스램 셀(120)에 '1'이 저장되며, 서치 라인(SL1)이 '1'을 가지고 반전 서치 라인(/SL1)이 '0'을 가진다고 가정한다. 이러한 상태는 일치 상태이다. 에스램 셀(110)은 논리 '0'을 제 2 비교 트랜지스터(Q6)로 인가하고 제 2 비교 트랜지스터(Q6)는 턴 오프 된다.
- <34> 서치 라인(SL1)은 논리 '1'을 제 1 비교 트랜지스터(Q5)에 인가하고 제 1 비교 트랜지스터(Q5)는 턴 온 된다. 제 1 비교 트랜지스터(Q5)와 제 2 비교 트랜지스터(Q6)는 직렬 연결되어 있으므로 매치 라인(ML)을 방전시키기 위한 전류 경로가 형성되지 않는다.
- <35> 마찬가지로, 에스램 셀(120)은 논리 '1'을 제 4 비교 트랜지스터(Q8)로 인가하고 제 4 비교 트랜지스터(Q8)는 턴 온 된다. 반전 서치 라인(/SL1)은 논리 '0'을 제 3 비교 트랜지스터(Q7)에 인가하고 제 3 비교 트랜지스터(Q7)는 턴 오프 된다.
- <36> 역시 매치 라인(ML)을 방전시키기 위한 전류 경로가 형성되지 않는다. 그 결과, 매치 라인(ML)의 논리 상태는 변화되지 않고 하이 레벨로 유지된다. 이는 서치 데이터와 저장된 데이터가 일치되는 것을 나타낸다.
- <37> 에스램 셀(110, 120) 모두에 '0'이 저장된다면 '돈 캐어' 상태가 된다. 에스램 셀(110, 120)은 논리 '0'을 제 2 및 제 4 비교 트랜지스터(Q6, Q8)로 인가하고 제 2 및 제 4 비교 트랜지스터들(Q6, Q8)은 모두 턴 오프 된다. 그러면 매치 라



인(ML)의 논리 상태는 서치 라인 쌍(SL1, /SL1)이 가지는 서치 데이터에 관계없이 논리 하이 레벨을 그대로 유지하게 된다.

<38>       티 캤은 많은 응용분야에서 빠른 접근 속도의 장점을 제공하고 있지만 문제점 또한 가지고 있다. 예를 들어, 만일 매치 라인(ML)이 논리 하이 레벨로 프리차지 되어 있고 에스램 셀(120)에 '0'이 저장되고 반전 서치 라인(/SL1)의 서치 데이터가 '1'인 경우 매치 라인(ML)의 전압 레벨이 흔들린다(fluctuate).

<39>       제 3 비교 트랜지스터(Q7)와 제 4 비교 트랜지스터(Q8) 사이의 전압 레벨이 플로우팅(floating)되기 때문이다.

<40>       또한 결함 셀로 인하여 티 캤 전체가 동작되지 못하는 경우가 있다. 제조 공정 동안 또는 티 캤의 동작 중에 하나의 셀이 결함 셀로 되는 경우가 있기 때문이다. 제조 효율을 높이기 위하여 SRAM 이나 DRAM 은 결함 셀을 대체하기 위한 리던던트 메모리 어레이를 구비한다.

<41>       즉, 리던던트 메모리 어레이가 결함 셀을 대신하여 데이터를 저장한다. 이러한 기술은 티 캤의 로우 디코더를 위한 퓨즈를 구비하는 데 적용된다. 즉, 결함을 가지는 로우(row)에 대응되는 퓨즈들은 결함 로우를 디스에이블 시켜서 결함 로우로의 접근을 방지한다.

<42>       캤의 리던던트 구조의 예가 미국 특허번호 6,445,628에 개시된다. 그러나 캤의 리던던트 구조에 관한 기술들은 주로 로우 결함 복구와 관련된다. 즉, 칼럼(column) 결함 복구가 불가능한 문제가 있다.



**【발명이 이루고자 하는 기술적 과제】**

<43>        본 발명이 이루고자하는 기술적 과제는 칼럼 결함 복구가 가능한 캠을 제공하는데 있다.

<44>        본 발명이 이루고자하는 다른 기술적 과제는 캠의 칼럼 결함 복구 방법을 제공하는데 있다.

<45>        본 발명이 이루고자 하는 다른 기술적 과제는 안정적인 동작을 수행하는 터캠 셀을 제공하는데 있다.

**【발명의 구성 및 작용】**

<46>        상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 칼럼 결함 복구가 가능한 캠은 복수개의 캠 셀을 구비하는 메인 캠 어레이, 상기 메인 캠 어레이의 칼럼 결함 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이, 서치라인 프리차지 회로 및 스위칭 회로를 구비한다.

<47>        서치라인 프리차지 회로는 상기 메인 캠 어레이의 결함 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시킨다. 스위칭 회로는 결함 복구 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체한다.

<48>        상기 캠 셀은 제 1 및 제 2 메모리 셀 및 비교 회로를 구비한다.

<49>        제 1 메모리 셀은 워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장한다. 제 2 메모리 셀은 상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장한다.



- <50> 비교 회로는 서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정한다.
- <51> 상기 비교 회로는 상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 한다.
- <52> 상기 서치라인 프리차지 회로는 프리차지 트랜지스터들 및 반전 프리차지 트랜지스터들을 구비한다. 프리차지 트랜지스터들은 상기 메인 캠 어레이에 연결되는 각각의 서치 라인에 제 1 단이 연결되고 게이트가 제 1 전압에 연결되며 제 2 단이 제 2 전압에 연결된다.
- <53> 반전 프리차지 트랜지스터들은 상기 메인 캠 어레이에 연결되는 각각의 반전 서치 라인에 제 1 단이 연결되고 게이트가 상기 제 1 전압에 연결되며 제 2 단이 상기 제 2 전압에 연결된다.
- <54> 상기 스위칭 회로는 상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 정상 셀에 대응되는 비트라인 쌍 또는 서치 라인 쌍을 통하여 데이터 또는 상기 서치 데이터를 입출력하거나 또는 상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 옆의 비트라인 쌍 및 서치라인 쌍으로 대체하는 복수개의 스위칭 부들을 구비한다.



- <55>       상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 칼럼 결합 복구가 가능한 캠은 복수개의 캠 셀을 구비하는 메인 캠 어레이, 상기 메인 캠 어레이의 칼럼 결합 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이, 서치라인 프리차지 회로 및 스위칭 회로를 구비한다.
- <56>       서치라인 프리차지 회로는 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시킨다.
- <57>       스위칭 회로는 상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체한다.
- <58>       상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 칼럼 결합 복구가 가능한 캠은 복수개의 캠 셀을 구비하는 메인 캠 어레이, 상기 메인 캠 어레이의 칼럼 결합 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이, 메인 서치라인 드라이버, 예비 서치라인 드라이버 및 스위칭 회로를 구비한다.
- <59>       메인 서치라인 드라이버는 결합 복구 제어 신호 및 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시킨다.
- <60>       예비 서치라인 드라이버는 결합 복구 제어 신호 및 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍과 대체될 서치 라인 쌍을 활성화시킨다.



- <61> 스위칭 회로는 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체한다.
- <62> 상기 기술적 과제를 달성하기 위한 본 발명의 제 4 실시예에 따른 캠 셀 구조는 제 1 메모리 셀, 제 2 메모리 셀 및 비교 회로를 구비한다.
- <63> 제 1 메모리 셀은 워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장한다. 제 2 메모리 셀은 상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장한다.
- <64> 비교 회로는 서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정한다.
- <65> 상기 비교 회로는 상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 한다.
- <66> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 캠 (CAM : Content Addressable Memory)의 칼럼 결합 복구 방법은, 메인 캠 어레이 및 상기 메인 캠 어레이의 칼럼 결합 복구를 위한 예비 캠 어레이를 구비하는 캠에 있어서, (a) 상기 메인 캠 어레이의 결합 셀의 위치를 판단하는 단계, (b) 결합 복구 신호에 응답하여 상기 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍



을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체하는 단계 및 (c) 상기 결함 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시키는 단계를 구비하는 것을 특징으로 한다.

<67> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

<68> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<69> 도 2는 본 발명의 제 1 실시예에 따른 티 캠 셀의 회로도이다. 도 2를 참조하면 티 캠 셀(MC11)은 제 1 및 제 2 메모리 셀(210, 220) 및 비교 회로(230)를 구비한다. 도 2에 도시된 제 1 및 제 2 메모리 셀(210, 220)은 에스램(SRAM) 셀이다. 그러나 제 1 및 제 2 메모리 셀(210, 220)이 반드시 에스램 셀에 한정되는 것이 아니라는 것은 당업자에게는 자명하다 할 것이다. 이하에서는 설명의 편의를 위하여 에스램 셀로 부르기로 한다.

<70> 에스램 셀(210)은 두 개의 인버터들(I1, I2)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL1, /BL1)의 데이터를 래치로 전송하는 제 1 및 제 2 액세스 트랜지스터(ATR1, ATR2)를 구비한다.



- <71> 마찬가지로, 에스램 셀(220)은 두 개의 인버터들(I3, I4)을 구비하는 래치와 워드 라인(WL)에 게이트가 연결되고 비트라인(BL2, /BL2)의 데이터를 래치로 전송하는 제 3 및 제 4 액세스 트랜지스터(ATR3, ATR4)를 구비한다.
- <72> 비교 회로(230)는 제 1 내지 제 4 비교 트랜지스터들(CTR1, CTR2, CTR3, CTR4)을 구비한다. 제 1 및 제 3 비교 트랜지스터(CTR1, CTR3)의 드레인은 매치 라인(ML)에 연결된다. 제 1 비교 트랜지스터(CTR1)의 게이트는 에스램 셀(210)의 인버터(I2)의 출력 노드(N1)에 연결된다. 제 3 비교 트랜지스터(CTR3)의 게이트는 에스램 셀(220)의 인버터(I4)의 입력 노드(N2)에 연결된다.
- <73> 제 1 비교 트랜지스터(CTR1)의 소스는 제 2 비교 트랜지스터(CTR2)의 드레인에 연결되고 제 3 비교 트랜지스터(CTR3)의 소스는 제 4 비교 트랜지스터(CTR4)의 드레인에 연결된다.
- <74> 제 2 비교 트랜지스터(CTR2)의 게이트는 서치라인(SL1)에 연결된다. 제 4 비교 트랜지스터(CTR4)의 게이트는 반전 서치 라인(/SL1)에 연결된다. 제 2 비교 트랜지스터(CTR2)의 소스 및 제 4 비교 트랜지스터(CTR4)의 소스는 그라운드에 연결된다.
- <75> 도 1의 종래의 티 캄 셀(MC11-1)과 달리, 제 2 비교 트랜지스터(CTR2)의 게이트 및 제 4 비교 트랜지스터(CTR4)의 게이트는 각각 서치라인(SL1)과 반전 서치라인(/SL1)에 연결된다. 또한 제 1 비교 트랜지스터(CTR1)의 게이트 및 제 3 비교 트랜지스터(CTR3)의 게이트는 각각 에스램 셀(210, 220)에 연결된다.



- <76> 따라서, 매치 라인(ML)이 논리 하이 레벨로 프리차지 되어 있고 에스램 셀 (220)에 '0'이 저장되고 반전 서치 라인(/SL1)의 서치 데이터가 '1'인 경우라도 매치 라인(ML)의 전압 레벨이 흔들리지 않는다.
- <77> 도 3은 본 발명의 제 2 실시예에 따른 캠을 나타내는 블록도이다.
- <78> 도 3을 참조하면, 캠(10)은 메인 캠 어레이(100), 예비 캠 어레이(200-1, 200-2), 서치 라인 프리차지 회로(300), 스위칭 회로(400), 독출 및 기입 회로 (500), 결합 복구 신호 발생 회로(600), 디코더(800) 및 우선 순위 엔코더(900)를 구비한다.
- <79> 메인 캠 어레이(100)는 복수개의 메인 캠 셀들(미도시)을 구비한다. 예비 캠 어레이(200-1, 200-2)는 복수개의 예비 캠 셀들(미도시)을 구비한다. 서치 라인 프리차지 회로(300)는 대응되는 서치 라인 쌍이 결합 캠 셀과 연결되는 경우 상기 서치라인 쌍의 전압 레벨을 접지 전압 레벨로 방전시킨다.
- <80> 스위칭 회로(400)는 결합 복구 신호 발생 회로(600)로부터 결합 복구 신호 (PRS[1:N])를 수신하고 결합이 있는 메인 캠 셀을 예비 캠 셀로 대체하기 위하여 대응되는 비트라인 쌍과 서치라인 쌍의 경로를 변경한다.
- <81> 독출 및 기입 회로(500)는 센스 앰프 회로(미도시), 데이터 입력 버퍼들(미도시) 및 데이터 출력 버퍼들(미도시)을 구비한다. 결합 복구 신호 발생 회로 (600)는 결합 복구 정보를 저장하고 결합 복구 신호(RPS[1:n])를 발생하기 위한 전기 퓨즈나 레이저 퓨즈를 구비한다.



- <82> 디코더(800)는 메모리 컨트롤러(미도시)로부터 발생하는 동작 모드 명령에 응답하여 워드 라인을 선택적으로 제어한다. 예를 들어, 디코더(800)는 메인 캠 어레이(100)의 소정의 로우(ROW)의 메인 캠 셀들에 데이터 정보를 저장하거나 또는 데이터 정보를 독출하는 경우 워드 라인을 활성화시킨다.
- <83> 우선 순위 엔코더(900)는 매치 라인(ML)의 논리 상태에 응답하여 현재 입력된 서치 데이터에 대응되는 어드레스를 출력한다.
- <84> 도 4는 도 3의 캠 어레이를 설명하는 블록도이다.
- <85> 도 4를 참조하면, 메인 캠 어레이(100)는 복수개의 캠 셀들을 구비한다. 각각의 캠 셀은 비트라인 쌍과 서치라인 쌍에 연결된다. 예를 들어 캠 셀(MC11)은 비트라인 쌍(BL1, /BL1, BL2, /BL2) 및 서치 라인 쌍(SL1, /SL1)에 연결된다. 또한 캠 셀(MC11)은 워드 라인(WL1) 및 매치 라인(ML1)에 연결된다.
- <86> 각각의 캠 셀의 자세한 회로는 도 2에 도시되어 있다. 예비 캠 어레이(200-1, 200-2)는 복수개의 예비 캠 셀들을 구비한다. 각각의 예비 캠 셀은 예비 비트라인 쌍과 예비 서치라인 쌍에 연결된다. 예를 들어 예비 캠 셀(SMCL1)은 예비 비트라인 쌍(SBLL1, /SBLL1, SBLL2, /SBLL2) 및 예비 서치 라인 쌍(SSLL, /SSLL)에 연결된다. 또한 예비 캠 셀(SMCL1)은 워드 라인(WL1) 및 매치 라인(ML1)에 연결된다.
- <87> 도 5는 도 3의 서치 라인 프리차지 회로를 설명하는 회로도이다.



- <88> 도 5를 참조하면, 서치 라인 프리차지 회로(300)는 복수개의 프리차지 트랜지스터들(Qc1, Qc3 ~ Qc2n-1)과 반전 프리차지 트랜지스터들(Qc2, Qc4 ~ Qc2n)을 구비한다.
- <89> 프리차지 트랜지스터들(Qc1, Qc3 ~ Qc2n-1)의 게이트는 각각 전원 전압(VDD)에 연결되고 드레인이 대응되는 서치 라인들(SL1, SL2 ~ SLn)에 연결되며 소스가 그라운드에 연결된다.
- <90> 반전 프리차지 트랜지스터들(Qc2, Qc4 ~ Qc2n)의 게이트는 각각 전원 전압(VDD)에 연결되고 드레인이 대응되는 반전 서치 라인들(/SL1, /SL2 ~ /SLn)에 연결되며 소스가 그라운드에 연결된다.
- <91> 도 6은 도 3의 스위칭 회로를 설명하는 회로도이다.
- <92> 도 6을 참조하면, 스위칭 회로(400)는 결합 복구 신호(RPS)에 응답하여 대응되는 서치라인 쌍 및 대응되는 비트라인 상의 경로를 변경하는 복수개의 스위칭 부(410 ~ 450)를 구비한다. 스위칭 부(410 ~ 450)는 직렬 연결된다.
- <93> 각각의 스위칭 부(410 ~ 450)는 연결 트랜지스터(Qsan-4, Qsan-3, Qsan-2, Qsan-1, Qsan)와 스위칭 트랜지스터(Qsbn-4, Qsbn-3, Qsbn-2, Qsbn-1, Qsbn) 및 인버터(INVn-4, INVn-3, INVn-2, INVn-1, INVn)를 구비한다. 각각의 스위칭 부(410 ~ 450)의 구조는 동일하므로 스위칭 부(410)의 구조만을 설명한다.
- <94> 연결 트랜지스터(Qsan-4)는 결합 복구 신호(RPSn-4)가 게이트로 인가되며 메인 캠 어레이(100)나 예비 캠 어레이(200-1, 200-2)의 비트라인 또는 서치 라



인에 제 1 단이 연결되고 독출 및 기입 회로(500)에 연결되는 비트 라인(DL)이나 서치라인(DSL)에 제 2 단이 연결된다.

<95> 여기서 독출 및 기입 회로(500)에 연결되는 비트라인을 DL 로 표시하고 서치라인을 DSL 로 표시한 이유는 도 3에서 비트라인이나 서치라인이 스위칭 회로(400)에 의해서 분리되어 표시되기 때문이다. 그러나 비트라인(DL)이나 서치라인(DSL)은 메인 캠 어레이(100)에 연결되는 비트라인(BL)이나 서치라인(SL)과 동일한 것이다.

<96> 인버터(INVn-4)는 결합 복구 신호(RPSn-4)의 논리 레벨을 변화시켜 스위칭 트랜지스터(Qsbn-4)의 게이트로 인가한다. 스위칭 트랜지스터(Qsbn-4)의 제 1 단은 다음 스위칭부(420)의 연결 트랜지스터(Qsan-3)의 제 1 단에 연결되고 제 2단은 연결 트랜지스터(Qsan-4)의 제 2 단에 연결된다.

<97> 도 6에는 설명의 편의를 위하여 스위칭 부들(410, 420, 430, 440, 450)이 짝수번 째 비트라인에만 연결된처럼 간단히 도시되어 있으나 스위칭 회로(400)의 스위칭 부들(410, 420, 430, 440, 450)은 모든 비트라인 쌍과 서치라인 쌍에 각각 연결된다.

<98> 즉, 도 6에는 비트라인들이 BLn-6, BLn-4, BLN-2, BLn으로 표시되어 있지만 이는 설명의 편의를 위한 것이며 BLn-5, BLn-3, BLN-1이 생략되어 있고 또한 서치라인 쌍에 연결되는 회로도도 생략되어 있다.



- <99> 이하, 도 2 내지 도 6을 이용하여 메인 캠 어레이(100)의 결함이 존재하는 컬럼(column)을 예비 캠 어레이(200-1, 200-2)의 컬럼(column)으로 대체하는 동작을 설명한다.
- <100> 도 4의 캠 셀(MCn2)이 결함을 가진다고 가정한다. 결함 복구 신호(RPS[1:N])가 스위칭 회로(400)로 인가된다. 이 경우, 결함 복구 신호(RPSn)은 로우 레벨로 발생되고 나머지 결함 복구 신호(RPS1 ~ RPSn-1)들은 하이 레벨로 발생된다.
- <101> 그러면 결함 복구 신호(RPSn)가 인가되는 스위칭 부(450)는 본래 연결되어 있는 비트라인(BLn, 결함 셀이 연결되는 비트라인이다.) 대신 예비 비트라인(SBLR2)을 독출 및 기입 회로(500)에 연결된 비트라인(DLn)에 연결한다.
- <102> 결함 복구 신호(RPSn)가 로우 레벨로 발생되고 나머지 결함 복구 신호(RPS1 ~ RPSn-1)들이 하이 레벨로 발생되면 연결 트랜지스터(Qsan-4, Qsan-3, Qsan-2, Qsan-1, Qsan)들 중 Qsan-4, Qsan-3, Qsan-2, Qsan-1 들은 턴 온 되고 스위칭 트랜지스터(Qsbn-4, Qsbn-3, Qsbn-2, Qsbn-1, Qsbn)들 중 Qsbn-4, Qsbn-3, Qsbn-2, Qsbn-1는 턴 오프 된다.
- <103> 스위칭 트랜지스터(Qsbn)는 턴 온 된다. 따라서 예비 비트라인(SBLR2)이 스위칭 트랜지스터(Qsbn)를 통하여 비트라인(DLn)으로 연결된다. 따라서 결함 셀이 연결되는 비트라인(BLn)을 결함이 없는 셀이 연결되는 예비 비트라인(SBLR2)으로 대체할 수 있다.



- <104> 만일 결함 셀에 대응되는 결함 복구 신호가  $RPSn-3$  이라면  $RPSn-3 \sim RPSn$ 까지는 로우 레벨로 발생되고  $RPS1 \sim RPSn-4$ 까지는 하이 레벨로 발생된다. 그러면 연결 트랜지스터( $Qsan-4$ )는 턴 온 되고 스위칭 트랜지스터( $Qsbn-4$ )는 턴 오프 된다.
- <105> 연결 트랜지스터( $Qsan-3, Qsan-2, Qsan-1, Qsan$ )는 턴 오프 되고 스위칭 트랜지스터( $Qsbn-3, Qsbn-2, Qsbn-1, Qsbn$ )는 턴 온 된다. 그러면, 결함 셀이 연결되는 비트라인( $BLn-6$ )을 결함이 없는 셀이 연결되는 비트라인( $BLn-4$ )이 대체한다. 그리고 비트라인( $BLn-4$ )은 비트라인( $BLn-2$ )가 대체한다.
- <106> 마찬가지로 비트라인( $BLn-2$ )는 비트라인( $BLn$ )이 대체한다. 이와 같은 방법으로 메인 캠 어레이(100)의 결함이 존재하는 컬럼을 예비 캠 어레이(200-1, 200-2)의 컬럼 들 중 하나의 컬럼으로 결함 복구할 수 있다.
- <107> 또한 도 6의 스위칭 회로(400)는 각각의 서치 라인에도 비트 라인과 동일하게 스위칭 부들이 연결된다. 메인 캠 어레이(100)의 캠 셀 들 중 하나의 캠 셀에 결함이 발생된 경우 결함이 발생된 셀에 연결되는 서치라인이 동일한 방법으로 예비 캠 어레이(200-1, 200-2)의 서치라인으로 대체된다.
- <108> 도 5에서 서치라인들( $SL1 \sim SLn-1$ ) 및 반전 서치라인들( $/SL1 \sim /SLn-1$ )은 입력되는 서치 데이터의 논리 레벨과 동일한 논리 레벨을 가지지만 서치라인( $SLn$ ) 및 반전 서치라인( $/SLn$ )은 프리차지 트랜지스터( $Qc2n-1$ ) 및 반전 프리차지 트랜지스터( $Qc2n$ )에 의하여 로우 레벨로 된다.



- <109> 스위칭 부(450)에 의하여 결합 셀(MCn2)에 연결된 서치 라인(SLn) 및 반전 서치라인(/SLn)의 연결이 끊어지므로 서치라인(SLn) 및 반전 서치라인(/SLn)으로 서치 데이터가 입력될 수 없다.
- <110> 이 경우 프리차지 트랜지스터(Qc2n-1)와 반전 프리차지 트랜지스터(Qc2n-1)를 이용하여 서치라인(SLn)과 반전 서치라인(/SLn)을 로우 레벨로 만들어줌으로써 결합 셀(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 변화시키지 않을 수 있다. 즉 결합 셀(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 '돈 케어(DON'T CARE)' 상태로 만들 수 있다.
- <111> 그러나, 프리차지 트랜지스터(Qc1 ~ Qc2n-3) 및 반전 프리차지 트랜지스터(Qc2 ~ Qc2n-2)의 사이즈가 매우 작기 때문에 서치라인들(SL1 ~ SLn-1) 및 반전 서치라인들(/SL1 ~ /SLn-1)에 연결된 프리차지 트랜지스터(Qc1 ~ Qc2n-3) 및 반전 프리차지 트랜지스터(Qc2 ~ Qc2n-2)는 서치라인들(SL1 ~ SLn-1) 및 반전 서치라인들(/SL1 ~ /SLn-1)에 영향을 미치지 못한다.
- <112> 서치라인들(SL1 ~ SLn-1) 및 반전 서치라인들(/SL1 ~ /SLn-1)은 입력되는 서치 데이터의 영향을 받는다.
- <113> 도 7은 본 발명의 제 3 실시예에 따른 캠을 나타내는 블록도이다.
- <114> 도 7을 참조하면, 도 7의 캠(20)은 서치 라인 프리차지 회로(300-1) 및 결합 복구 신호 발생 회로(600-1)를 제외하고는 도 3의 캠(10)과 동일하다. 서치 라인 프리차지 회로(300-1)는 도 8에 도시된다.



- <115> 도 8의 서치라인 프리차지 회로(300-1)는 복수개의 프리차지 트랜지스터(Qp2, Qp5, Qp3n-1), 반전 프리차지 트랜지스터(Qp3, Qp6, Qp3n) 및 등화 트랜지스터(Qp1, Qp4, Qp3n-2)를 구비한다.
- <116> 결합 복구 신호(RPC1)가 등화 트랜지스터(Qp1)의 게이트로 인가되고 드레인이 서치라인(SL1)에 연결되며 소스가 반전 서치라인(/SL1)에 연결된다. 프리차지 트랜지스터(Qp2) 및 반전 프리차지 트랜지스터(Qp3)의 게이트로 결합 복구 신호(RPC1)가 인가되고 프리차지 트랜지스터(Qp2) 및 반전 프리차지 트랜지스터(Qp3)의 드레인이 각각 서치라인(SL1)과 반전 서치라인(/SL1)에 연결되며 소스가 그라운드에 연결된다.
- <117> 메인 셀 어레이(100)의 캠 셀(MCn2)에 결합이 존재한다고 가정한다. 결합 복구 신호 발생 회로(600-1)로부터 결합 복구 신호(RPC[1:n])가 서치라인 프리차지 회로(300-1)로 인가된다.
- <118> 이 경우, 결합 복구 신호(RPCn)는 하이 레벨로 발생되고 나머지 결합 복구 신호(RPC1~ RPCn-1)는 로우 레벨로 발생된다.
- <119> 결합 복구 신호(RPC1)는 RPC1으로 표시되어 있지만 이는 결합 복구 신호(RPS1)와 논리 레벨만 반대이고 동일한 신호이다. 스위칭 회로(400)로 인가되는 결합 복구 신호를 RPS로 표시하며 서치라인 프리차지 회로(300-1)로 인가되는 결합 복구 신호를 RPC 로 표시한다.



- <120> 그러면 도 8의 프리차지 트랜지스터(Qp3n-1), 반전 프리차지 트랜지스터(Qp3n) 및 등화 트랜지스터(Qp3n-2)는 턴 온 되고 서치 라인(SLn)과 반전 서치 라인(/SLn)의 논리 레벨은 그라운드 레벨로 떨어진다.
- <121> 도 8에서 서치라인들(SL1 ~ SLn-1) 및 반전 서치라인들(/SL1 ~ /SLn-1)은 입력되는 서치 데이터의 논리 레벨과 동일한 논리 레벨을 가지지만 서치라인(SLn) 및 반전 서치라인(/SLn)은 프리차지 트랜지스터(Qp3n-1) 및 반전 프리차지 트랜지스터(Qp3n) 및 등화 트랜지스터(Qp3n-2)에 의하여 로우 레벨로 떨어진다.
- <122> 스위칭 부(450)에 의하여 결합 셀(MCn2)에 연결된 서치 라인(SLn) 및 반전 서치라인(/SLn)의 연결이 끊어지므로 서치라인(SLn) 및 반전 서치라인(/SLn)으로 서치 데이터가 입력될 수 없다.
- <123> 이 경우 프리차지 트랜지스터(Qp3n-1)와 반전 프리차지 트랜지스터(Qp3n) 및 등화 트랜지스터(Qp3n-2)를 이용하여 서치라인(SLn)과 반전 서치라인(/SLn)을 로우 레벨로 만들어줌으로써 결합 셀(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 변화시키지 않을 수 있다. 즉 결합 셀(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 '돈 케어(DON'T CARE)' 상태로 만들 수 있다.
- <124> 이와같이 스위칭 회로(400)와 서치라인 프리차지 회로(300-1)에 의하여 메인 메모리 어레이(100)의 결합 셀(MCn2)에 연결된 칼럼이 예비 메모리 어레이(200-1, 200-2)의 칼럼으로 결합 복구될 수 있다.
- <125> 도 9는 본 발명의 제 4 실시예에 따른 캠을 나타내는 블록도이다.



- <126> 도 9의 캠(30)은 메인 캠 어레이(100), 예비 캠 어레이(200-1, 200-2) 메인 서치라인 드라이버(700-1), 예비 서치라인 드라이버(700-2), 스위칭 회로(400), 독출 및 기입 회로(500), 결합 복구 신호 발생 회로(600-2) 디코더(800) 및 우선 순위 엔코더(900)를 구비한다.
- <127> 메인 캠 어레이(100)와 예비 캠 어레이(200-1, 200-2)의 구성은 도 3의 메인 캠 어레이(100)와 예비 캠 어레이(200-1, 200-2)와 동일하다.
- <128> 메인 서치라인 드라이버(700-1)는 결합 복구 제어 신호(RPCS[1:n]) 및 서치 데이터 드라이빙 신호(DSLD)에 응답하여 서치라인 드라이빙 신호(SL)를 발생한다. 메인 서치라인 드라이버(700-1)의 구조는 도 10A에 도시되어 있다.
- <129> 예비 서치라인 드라이버(700-2)는 결합 복구 제어 신호(RPCSL, RPCSL) 및 서치 데이터 드라이빙 신호(DSLD)에 응답하여 예비 서치라인 드라이빙 신호(SSLR, SSLL)를 발생한다. 예비 서치라인 드라이버(700-2)의 구조는 도 10B에 도시되어 있다.
- <130> 스위칭 회로(400)는 결합 복구 신호(RPS[1:n])에 응답하여 결합이 존재하는 메인 캠 셀을 예비 캠 셀로 대체하기 위하여 대응되는 비트라인 및 서치라인의 경로를 변경한다. 독출 및 기입 회로(500)는 센스 앰프 회로(미도시), 데이터 입력 버퍼들(미도시) 및 데이터출력 버퍼들(미도시)을 구비한다.
- <131> 결합 복구 신호 발생 회로(600-2)는 결합 복구 정보를 저장하고 결합 복구 신호(RPS[1:n])를 발생하여 스위칭 회로(400)로 인가하거나, 결합 복구 제어 신호(RPCS[1:n])를 발생하여 메인 서치라인 드라이버(700-1)로 인가하거나 결합 복



구 제어 신호(RPCSL, RPCSR)를 발생하여 예비 서치라인 드라이버(700-2)로 인가하기 위한 전기 퓨즈나 레이저 퓨즈를 구비한다.

<132> 디코더(800)는 메모리 컨트롤러(미도시)로부터 발생하는 동작 모드 명령에 응답하여 워드 라인을 선택적으로 제어한다. 예를 들어, 디코더(800)는 메인 캠 어레이(100)의 소정의 로우(ROW)의 메인 캠 셀들에 데이터 정보를 저장하거나 또는 데이터 정보를 독출하는 경우 워드 라인을 활성화시킨다.

<133> 우선 순위 엔코더(900)는 매치 라인(ML)의 논리 상태에 응답하여 현재 입력된 서치 데이터에 대응되는 어드레스를 출력한다.

<134> 도 10A 는 도 9의 메인 서치 라인 드라이버의 회로도이다.

<135> 도 10A를 참조하면, 메인 서치라인 드라이버(700-1)는 복수개의 메인 서치라인 제어부들(710, 720, 730)을 구비한다. 각각의 메인 서치라인 제어부들(710, 720, 730)은 결합 복구 제어신호(RPCS[1:n]) 및 서치 데이터 드라이빙 신호(DSLD)를 수신하여 반전 논리곱 하는 메인 반전 논리곱 수단들(NAND1, /NAND1, NAND2, /NAND2 ~ NANDn, /NANDn) 및 메인 반전 논리곱 수단들(NAND1, /NAND1, NAND2, /NAND2 ~ NANDn, /NANDn)의 출력을 반전시켜 서치라인 드라이빙 신호(SSL1, /SSL1, SSL2, /SSL2 ~ SSLn, /SSLn)로서 출력하는 메인 인버터들(MI1, /MI1, MI2, /MI2 ~ MIn, /MIn)을 구비한다.

<136> 서치 데이터 드라이빙 신호(DSLD)는 입력되는 서치 데이터와 동일한 신호이다. 서치라인 드라이빙 신호(SSL1, /SSL1, SSL2, /SSL2 ~ SSLn, /SSLn)는 대응되는 서치 라인으로 입력된다.



- <137> 도 10B 는 도 9의 예비 서치 라인 드라이버이다.
- <138> 도 10B를 참조하면, 예비 서치라인 드라이버(700-2)는 예비 서치라인 제어부(750)를 구비한다. 각각의 예비 서치라인 제어부(750)는 결합 복구 제어신호(RPCSL(RPCSR)) 및 서치 데이터 드라이빙 신호(DSLDa(DSLDb))를 수신하여 반전 논리곱 하는 예비 반전 논리곱 수단들(SNAND1, /SNAND1) 및 예비 반전 논리곱 수단들(SNAND1, /SNAND1)의 출력을 반전시켜 예비 서치라인 드라이빙 신호(SSLL(SSLR),/SSLL(/SSLR))로서 출력하는 예비 인버터들(SI1, /SI1)을 구비한다.
- <139> 예비 서치라인 드라이빙 신호(SSLL(SSLR1), /SSLL(/SSLR))는 예비 캠 어레이(200-1, 200-2)에 연결되는 대응되는 서치 라인으로 인가된다.
- <140> 도 9의 캠(30)의 동작이 설명된다. 메인 캠 어레이(100)의 캠 셀(MCn2)에 결합이 존재한다고 가정한다. 결합 복구 신호 발생 회로(600-2)로부터 결합 복구 신호(RPS[1:n])가 스위칭 회로(400)로 인가된다. 이 경우 결합이 존재하는 캠 셀(MCn2)에 대응되는 결합 복구 신호(RPSn)는 로우 레벨이고 나머지 결합 복구 신호(RPS1 ~ RPSn-1)는 하이 레벨로 발생된다.
- <141> 스위칭 회로(400)로 인가되는 결합 복구 신호를 RPS로 표시하며 메인 서치라인 드라이버(7300-1)로 인가되는 결합 복구 신호를 결합 복구 제어 신호(RPCS)로 표시한다.
- <142> 결합 복구 제어 신호(RPCSL, RPCSR)는 결합 복구 제어 신호(RPCS[1:n])와 논리 레벨만 반대이고 동일한 신호이다. 메인 서치라인 드라이버(700-1)로 인가



되는 결합 복구 제어 신호를 RPCS로 표시하며 예비 서치라인 드라이버(700-2)로  
인가되는 결합 복구 제어 신호를 RPCSL, RPCSR 로 표시한다.

<143>       결합 복구 신호(RPSn)는 로우 레벨이고 나머지 결합 복구 신호(RPS1 ~  
RPSn-1)는 하이 레벨로 발생되면 연결 트랜지스터(Qsan-4, Qsan-3, Qsan-2,  
Qsan-1, Qsan)들 중 Qsan-4, Qsan-3, Qsan-2, Qsan-1 들은 턴 온 되고 스위칭 트  
랜지스터(Qsbn-4, Qsbn-3, Qsbn-2, Qsbn-1, Qsbn)들 중 Qsbn-4, Qsbn-3, Qsbn-2,  
Qsbn-1는 턴 오프 된다.

<144>       연결 트랜지스터(Qsan)는 턴 오프 되고 스위칭 트랜지스터(Qsbn)는 턴 온  
된다. 따라서 스위칭 회로(400)는 결합 셀에 연결된 비트라인을 예비 메모리 어  
레이(200-1, 200-2)의 비트라인으로 대체한다.

<145>       결합 복구 제어 신호(RPCSn)는 로우 레벨로 발생되고 결합 복구 제어 신호  
(RPCS1 ~ RPCSn-1)는 하이 레벨로 발생된다.

<146>       스위칭 회로(400)에 의하여 결합 셀(MCn2)에 연결된 서치 라인(SLn) 및 반  
전 서치라인(/SLn)으로 인가되는 서치 데이터 드라이빙 신호(DSLDn)는 플로우팅  
(floating) 상태가 되고 나머지 서치 데이터 드라이빙 신호(DSLD1 ~ DSLDn-1)는  
서치 데이터의 논리 레벨과 동일한 레벨을 가진다.

<147>       이 경우 결합 복구 제어 신호(RPCSn)가 로우 레벨이되어 결합 셀에 연결된  
서치라인(SLn)과 반전 서치라인(/SLn)을 로우 레벨로 만들어줌으로써 결합 셀  
(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 변화시키지 않을 수 있다. 즉 결



함 셀(MCn2)에 연결된 매치 라인(ML)의 논리 상태를 '돈 케어(DON'T CARE)' 상태로 만들 수 있다.

<148>       결함 복구 제어 신호(RPCSL(RPCSR))는 하이 레벨로 발생된다.

<149>       예비 캠 어레이(200-1, 200-2)에 존재하는 결함 복구를 위하여 대체 될 서치라인은 대응되는 예비 서치라인 제어부(750)로 하이 레벨의 결함 복구 제어 신호(RPCSL(RPCSR))가 인가되어 활성화된다.

<150>       이와 같이 스위칭 회로(400)와 메인 서치라인 드라이버 (700-1) 및 예비 서치라인 드라이버(700-2)에 의하여 메인 메모리 어레이(100)의 결함 셀(MCn2)에 연결된 칼럼이 예비 메모리 어레이(200-1, 200-2)의 칼럼으로 결함 복구될 수 있다.

<151>       이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.



【발명의 효과】

<152> 상술한 바와 같이 본 발명에 따른 캠의 칼럼 결함 복구 방법 및 칼럼 결함 복구가 가능한 캠은 종래에 로우(row) 방향의 결함 복구만 가능했던 것과 달리 칼럼(column) 방향의 결함 복구도 쉽게 할 수 있는 장점이 있다.



**【특허청구범위】****【청구항 1】**

복수개의 캠 셀을 구비하는 메인 캠 어레이 ;

상기 메인 캠 어레이의 칼럼 결함 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이 ;

상기 메인 캠 어레이의 결함 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시키는 서치라인 프리차지 회로 ; 및

결함 복구 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체하는 스위칭 회로를 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠(CAM : Content Addressable Memory).

**【청구항 2】**

제 1항에 있어서, 상기 캠 셀은,

워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장하는 제 1 메모리 셀 ;

상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장하는 제 2 메모리 셀 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결



정하는 비교 회로를 구비하는 구조인 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

【청구항 3】

제 2항에 있어서, 상기 비교 회로는,

상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치 라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

【청구항 4】

제 2항에 있어서, 상기 비교 회로는,

상기 매치 라인에 제 1 단이 연결되고 상기 제 1 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 1 비교 트랜지스터 ;

상기 제 1 비교 트랜지스터의 제 2단에 제 1단이 연결되고 서치라인에 게이트가 연결되며 제 2단이 제 2 전압에 연결되는 제 2 비교 트랜지스터 ;

상기 매치 라인에 제 1 단이 연결되고 상기 제 2 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 3 비교 트랜지스터 ; 및

상기 제 3 비교 트랜지스터의 제 2단에 제 1단이 연결되고 반전 서치라인에 게이트가 연결되며 제 2단이 상기 제 2 전압에 연결되는 제 4 비교 트랜지스터를 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.



**【청구항 5】**

제 1항에 있어서, 상기 서치라인 프리차지 회로는,

상기 메인 캠 어레이에 연결되는 각각의 서치 라인에 제 1 단이 연결되고 게이트가 제 1 전압에 연결되며 제 2 단이 제 2 전압에 연결되는 프리차지 트랜지스터들 ; 및

상기 메인 캠 어레이에 연결되는 각각의 반전 서치 라인에 제 1 단이 연결되고 게이트가 상기 제 1 전압에 연결되며 제 2 단이 상기 제 2 전압에 연결되는 반전 프리차지 트랜지스터들을 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

**【청구항 6】**

제 1항에 있어서, 상기 스위칭 회로는,

상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 정상 셀에 대응되는 비트라인 쌍 또는 서치 라인 쌍을 통하여 데이터 또는 상기 서치 데이터를 입출력하거나

또는 상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 옆의 비트라인 쌍 및 서치라인 쌍으로 대체하는 복수개의 스위칭 부들을 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

**【청구항 7】**

제 7항에 있어서, 상기 복수개의 스위칭 부는 각각,



상기 결합 복구 신호에 응답하여 턴 온 또는 턴 오프 되어 상기 데이터 또는 서치 데이터를 상기 메인 캠 어레이 또는 예비 캠 어레이로 전송하는 연결 트랜지스터 ;

상기 결합 복구 신호의 논리 레벨을 반전시키는 인버터 ; 및

상기 인버터의 출력에 응답하여 옆 스위칭 부의 연결 트랜지스터의 제 1단을 현재 스위칭 부의 연결 트랜지스터의 제 2 단으로 연결하거나 차단하는 스위칭 트랜지스터를 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

#### 【청구항 8】

복수개의 캠 셀을 구비하는 메인 캠 어레이 ;

상기 메인 캠 어레이의 칼럼 결합 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이 ;

결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시키는 서치라인 프리차지 회로 ; 및

상기 결합 복구 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체하는 스위칭 회로를 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠(CAM : Content Addressable Memory).

#### 【청구항 9】

제 8항에 있어서, 상기 캠 셀은,



워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장하는 제 1 메모리 셀 ;

상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장하는 제 2 메모리 셀 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정하는 비교 회로를 구비하고, 상기 비교 회로는,

상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

#### 【청구항 10】

제 9항에 있어서 상기 비교 회로는,

상기 매치 라인에 제 1 단이 연결되고 상기 제 1 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 1 비교 트랜지스터 ;

상기 제 1 비교 트랜지스터의 제 2단에 제 1단이 연결되고 서치라인에 게이트가 연결되며 제 2단이 제 2 전압에 연결되는 제 2 비교 트랜지스터 ;

상기 매치 라인에 제 1 단이 연결되고 상기 제 2 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 3 비교 트랜지스터 ; 및



상기 제 3 비교 트랜지스터의 제 2단에 제 1단이 연결되고 반전 서치라인에 게이트가 연결되며 제 2단이 상기 제 2 전압에 연결되는 제 4 비교 트랜지스터를 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

**【청구항 11】**

제 8에 있어서, 상기 서치라인 프리차지 회로는,

상기 메인 캠 어레이에 연결되는 각각의 서치 라인에 제 1 단이 연결되고 게이트에 상기 결함 복구 신호가 인가되며 제 2 단이 제 2 전압에 연결되는 프리차지 트랜지스터들 ;

상기 메인 캠 어레이에 연결되는 각각의 반전 서치 라인에 제 1 단이 연결되고 게이트에 상기 결함 복구 신호가 인가되며 제 2 단이 상기 제 2 전압에 연결되는 반전 프리차지 트랜지스터들 ; 및

상기 결함 복구 신호가 게이트로 인가되고 제 1단이 상기 각각의 서치 라인에 연결되고 제 2단이 상기 각각의 반전 서치 라인에 연결되는 등화 트랜지스터들을 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

**【청구항 12】**

복수개의 캠 셀을 구비하는 메인 캠 어레이 ;

상기 메인 캠 어레이의 칼럼 결함 복구를 위한 캠 셀들을 구비하는 예비 캠 어레이 ;



결함 복구 제어 신호 및 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시키는 메인 서치라인 드라이버 ;

결함 복구 제어 신호 및 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 서치라인 쌍과 대체될 서치 라인 쌍을 활성화시키는 예비 서치라인 드라이버 ; 및

결함 복구 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체하는 스위칭 회로를 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠(CAM : Content Addressable Memory).

#### 【청구항 13】

제 12항에 있어서, 상기 캠 셀은,

워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장하는 제 1 메모리 셀 ;

상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장하는 제 2 메모리 셀 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정하는 비교 회로를 구비하고, 상기 비교 회로는,



상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치 라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

#### 【청구항 14】

제 13항에 있어서 상기 비교 회로는,

상기 매치 라인에 제 1 단이 연결되고 상기 제 1 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 1 비교 트랜지스터 ;

상기 제 1 비교 트랜지스터의 제 2단에 제 1단이 연결되고 서치라인에 게이트가 연결되며 제 2단이 제 2 전압에 연결되는 제 2 비교 트랜지스터 ;

상기 매치 라인에 제 1 단이 연결되고 상기 제 2 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 3 비교 트랜지스터 ; 및

상기 제 3 비교 트랜지스터의 제 2단에 제 1단이 연결되고 반전 서치라인에 게이트가 연결되며 제 2단이 상기 제 2 전압에 연결되는 제 4 비교 트랜지스터를 구비하는 것을 특징으로 하는 칼럼 결함 복구가 가능한 캠.

#### 【청구항 15】

제 12에 있어서, 상기 메인 서치라인 드라이버는,

상기 결함 복구 제어 신호 및 상기 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결함 셀에 대응되는 서치라인 쌍으로 서치라인 드라이빙 신호를 출력하는 복수개의 메인 서치라인 제어부를 구비하고,



상기 각각의 메인 서치라인 제어부는,

상기 결합 복구 제어 신호 및 상기 서치 데이터 드라이빙 신호를 논리곱하는 제 1 및 제 2 메인 반전 논리곱 수단들 ; 및

상기 제 1 및 제 2 메인 반전 논리곱 수단들의 출력을 반전하여 상기 서치라인 드라이빙 신호로서 대응되는 서치라인 또는 반전 서치라인으로 인가하는 제 1 및 제 2 메인 인버터들을 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

**【청구항 16】**

제 12에 있어서, 상기 예비인 서치라인 드라이버는,

상기 결합 복구 제어 신호 및 상기 서치 데이터 드라이빙 신호에 응답하여 상기 메인 캠 어레이의 결합 셀에 대응되는 서치라인 쌍과 대체될 서치 라인 쌍을 활성화시키는 예비 서치라인 드라이빙 신호를 출력하는 복수개의 예비 서치라인 제어부를 구비하고,

상기 각각의 예비 서치라인 제어부는,

상기 결합 복구 제어 신호 및 상기 서치 데이터 드라이빙 신호를 논리곱하는 제 1 및 제 2 예비 반전 논리곱 수단들 ; 및

상기 제 1 및 제 2 예비 반전 논리곱 수단들의 출력을 반전하여 상기 예비 서치라인 드라이빙 신호로서 대응되는 서치라인 또는 반전 서치라인으로 인가하는 제 1 및 제 2 예비 인버터들을 구비하는 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.



**【청구항 17】**

제 12항에 있어서, 상기 결합 복구 신호는

상기 메인 서치라인 드라이버로 인가되는 결합 복구 제어 신호와 동일한 신호인 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

**【청구항 18】**

워드 라인에 연결되며 제 1 비트라인 쌍의 데이터를 저장하는 제 1 메모리 셀 ;

상기 워드 라인에 연결되며 제 2 비트라인 쌍의 데이터를 저장하는 제 2 메모리 셀 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정하는 비교 회로를 구비하고,

상기 비교 회로는,

상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 하는 칼럼 결합 복구가 가능한 캠.

**【청구항 19】**

제 18항에 있어서, 상기 비교 회로는,



상기 매치 라인에 제 1 단이 연결되고 상기 제 1 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 1 비교 트랜지스터 ;

상기 제 1 비교 트랜지스터의 제 2단에 제 1단이 연결되고 서치라인에 게이트가 연결되며 제 2단이 제 2 전압에 연결되는 제 2 비교 트랜지스터 ;

상기 매치 라인에 제 1 단이 연결되고 상기 제 2 메모리 셀에 저장된 데이터가 게이트로 인가되는 제 3 비교 트랜지스터 ; 및

상기 제 3 비교 트랜지스터의 제 2단에 제 1단이 연결되고 반전 서치라인에 게이트가 연결되며 제 2단이 상기 제 2 전압에 연결되는 제 4 비교 트랜지스터를 구비하는 것을 특징으로 하는 캠 셀 구조.

#### 【청구항 20】

메인 캠 어레이 및 상기 메인 캠 어레이의 칼럼 결함 복구를 위한 예비 캠 어레이를 구비하는 캠(CAM : Content Addressable Memory)의 칼럼 결함 복구 방법에 있어서,

- (a) 상기 메인 캠 어레이의 결함 셀의 위치를 판단하는 단계 ;
- (b) 결함 복구 신호에 응답하여 상기 결함 셀에 대응되는 비트라인 쌍 및 서치라인 쌍을 예비 캠 어레이의 비트라인 쌍 및 서치라인 쌍으로 대체하는 단계 ; 및
- (c) 상기 결함 셀에 대응되는 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시키는 단계를 구비하는 것을 특징으로 하는 캠의 칼럼 결함 복구 방법.



**【청구항 21】**

제 20항에 있어서, 상기 (b) 단계는,

(b1) 상기 결합 셀에 대응되는 비트라인 쌍 및 서치라인 쌍의 연결을 끊는 단계 ;

(b2)상기 연결이 끊어진 비트라인 쌍 및 서치라인 쌍을 옆의 비트라인 쌍 및 서치라인 쌍으로 대체하는 단계 ;

(b3) 상기 옆의 비트라인 쌍 및 서치라인 쌍을 그 옆의 비트라인 쌍 및 서치라인 쌍으로 대체하고 계속하여 옆의 비트라인 쌍 및 서치라인 쌍을 그 옆의 비트라인 쌍 및 서치라인 쌍으로 대체하는 동작을 상기 예비 캠 어레이에 연결된 비트라인 쌍 및 서치라인 쌍이 메인 캠 어레이의 마지막 비트라인 쌍 및 서치라인 쌍을 대체할 때까지 반복하는 단계를 구비하는 것을 특징으로 하는 캠의 칼럼 결합 복구 방법.

**【청구항 22】**

제 20항에 있어서, 상기 (c) 단계는,

상기 연결이 끊어진 서치라인 쌍의 전압 레벨을 제 2 레벨로 유지시켜 상기 결합 셀에 연결되는 매치 라인의 논리 상태를 돈 케어(don't care) 상태로 유지시키는 것을 특징으로 하는 캠의 칼럼 결합 복구 방법.

**【청구항 23】**

제 20항에 있어서, 상기 메인 캠 어레이 및 예비 캠 어레이에 존재하는 캠 셀의 구조는,



데이터를 저장하는 제 1 및 제 2 메모리 셀들 ; 및

서치라인 쌍을 통하여 입력되는 서치 데이터와 상기 제 1 및 제 2 메모리 셀에 저장되는 데이터를 비교하고 비교 결과에 따라 매치 라인의 논리 레벨을 결정하는 비교 회로를 구비하고,

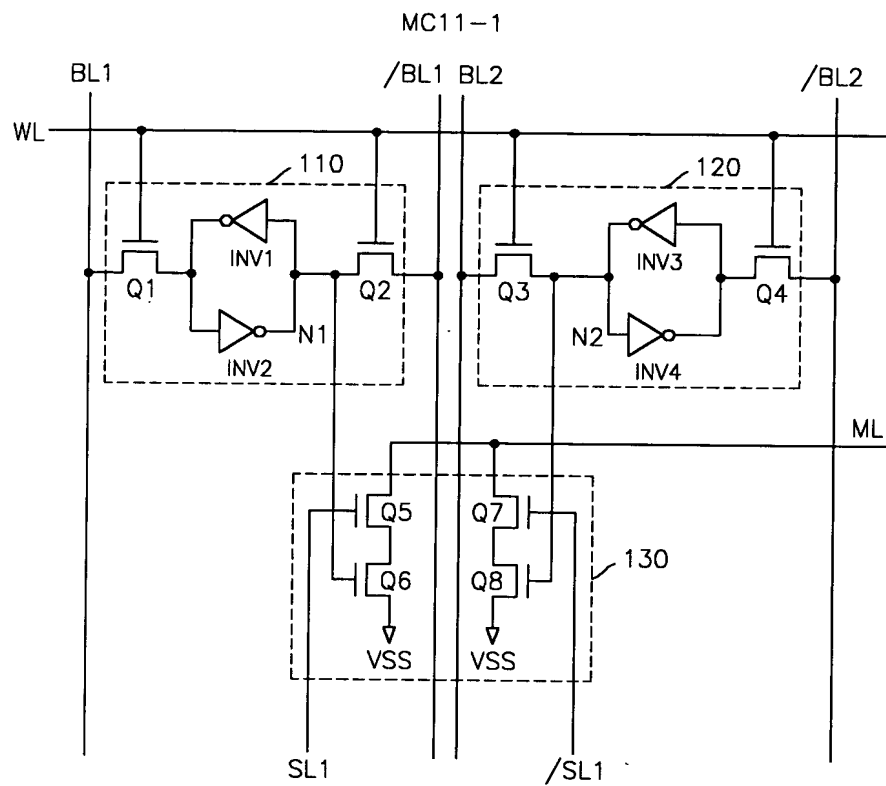
상기 비교 회로는,

상기 제 1 또는 제 2 메모리 셀에 저장된 데이터가 제 2 레벨인 경우, 서치라인 또는 반전 서치라인의 논리 레벨이 하이 레벨이어도 상기 매치 라인의 전압 레벨이 차지 셰어링(charge sharing)으로 인한 영향을 받지 않는 구조인 것을 특징으로 하는 캠의 칼럼 결함 복구 방법.



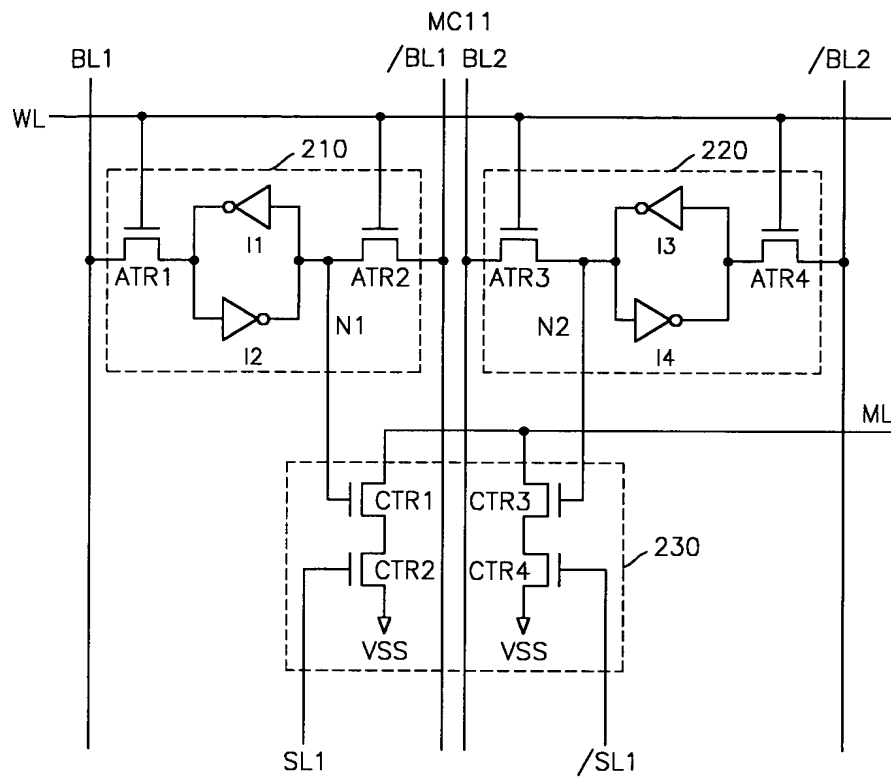
【도면】

【도 1】





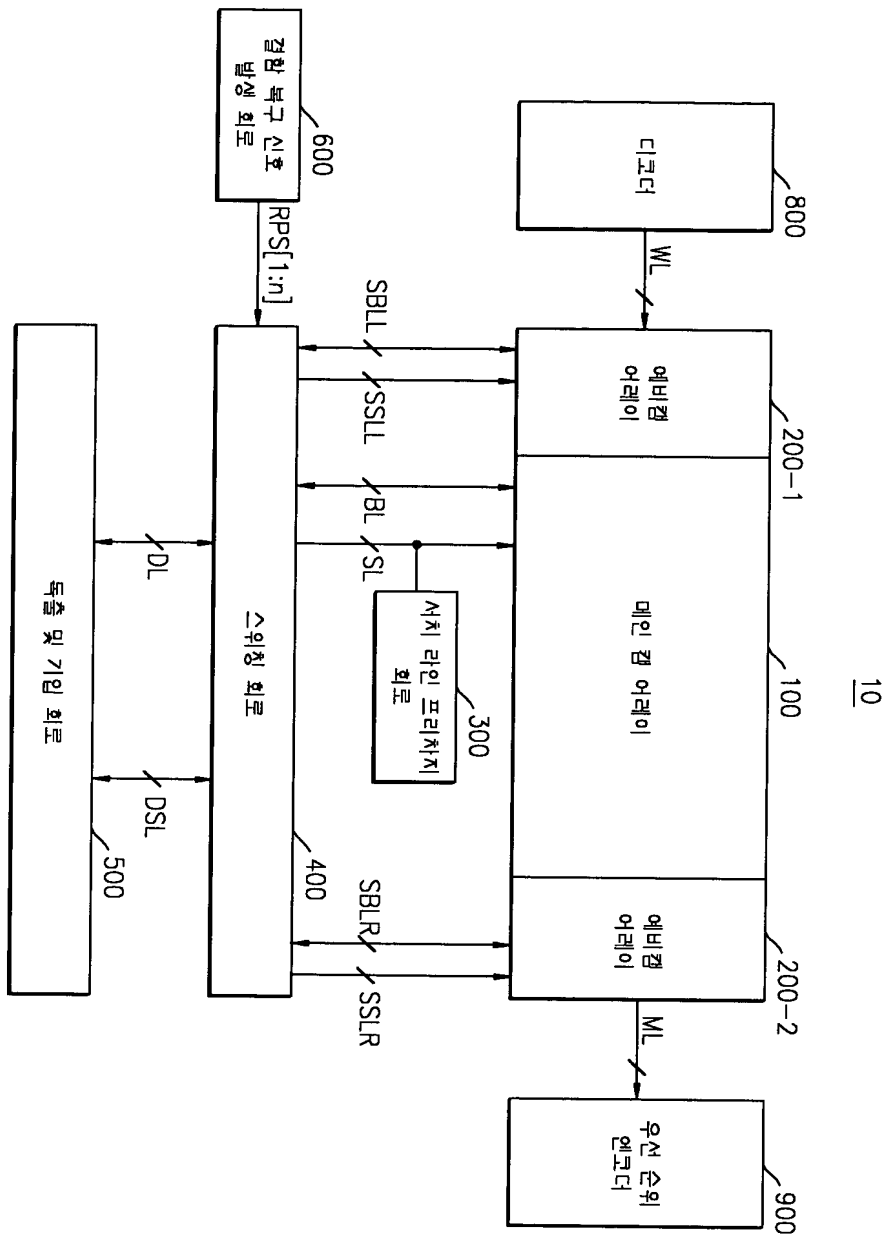
【도 2】





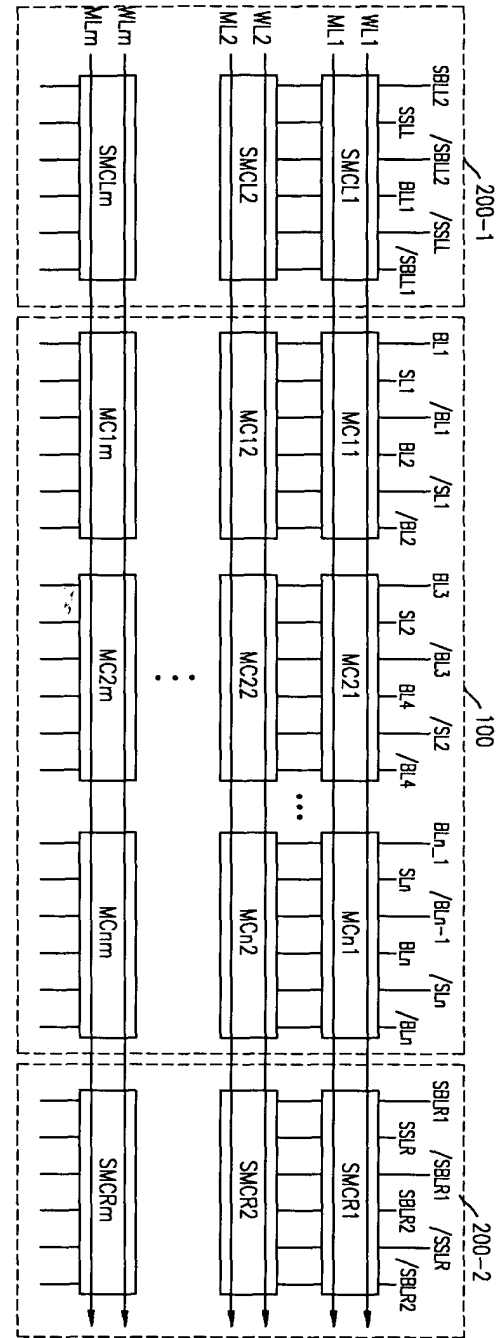


【도 3】



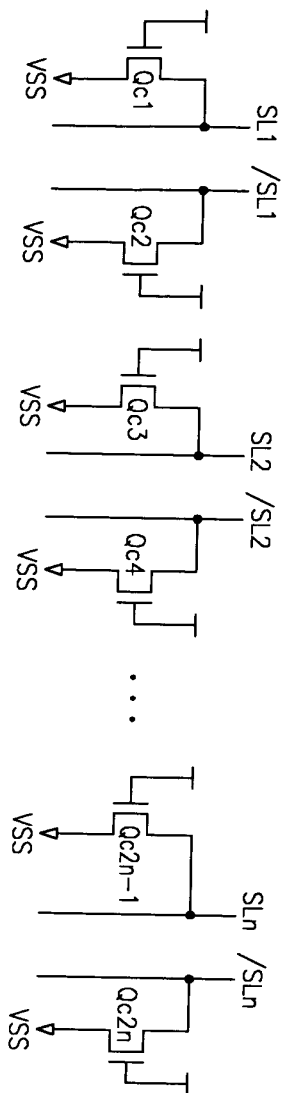


【도 4】





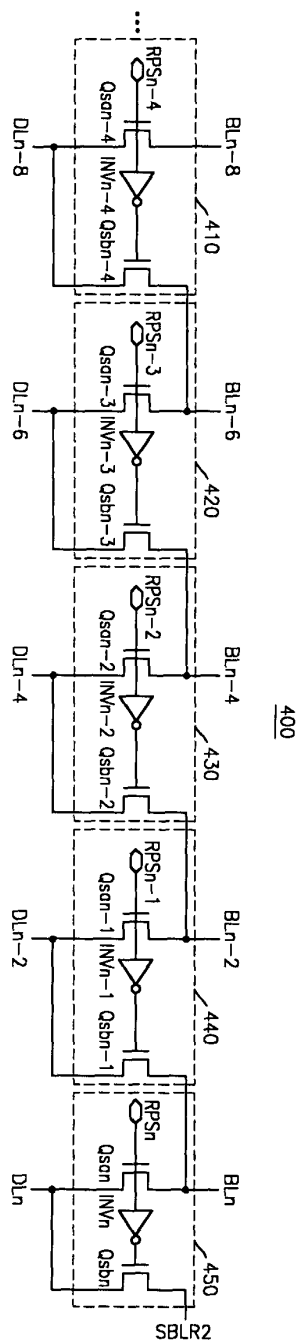
【도 5】



300



【도 6】



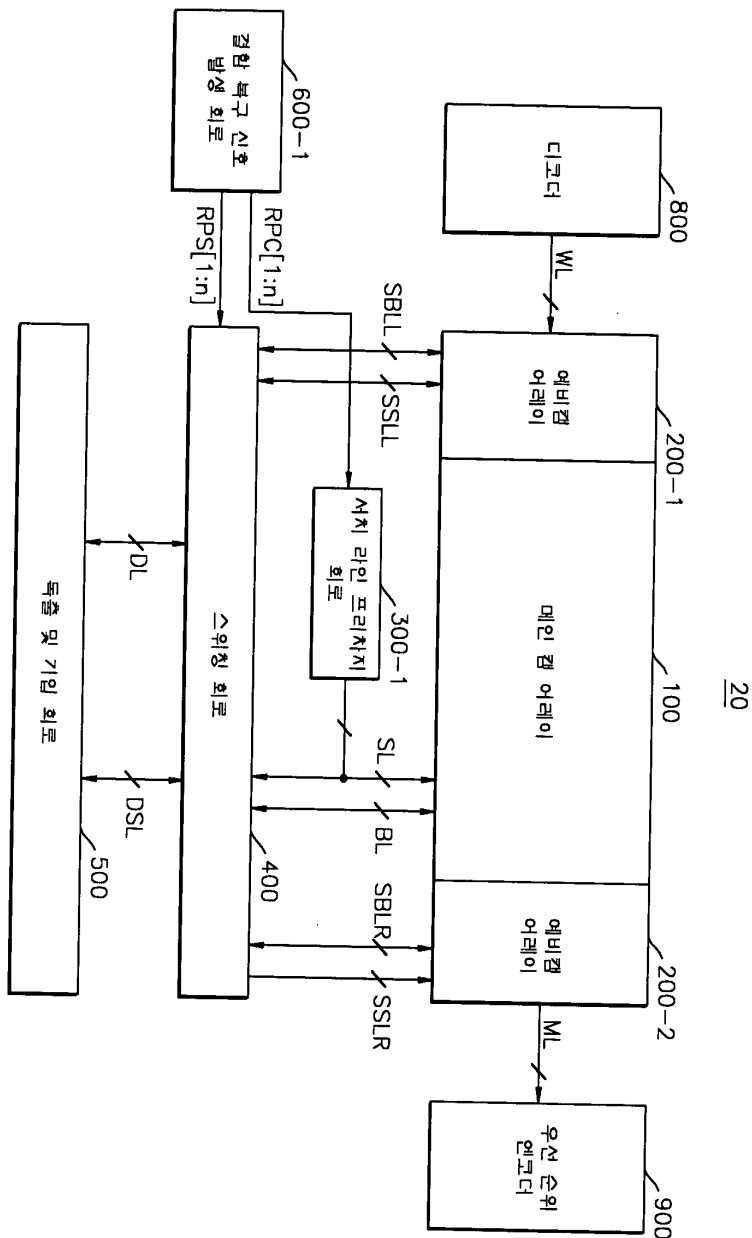




1020030026427

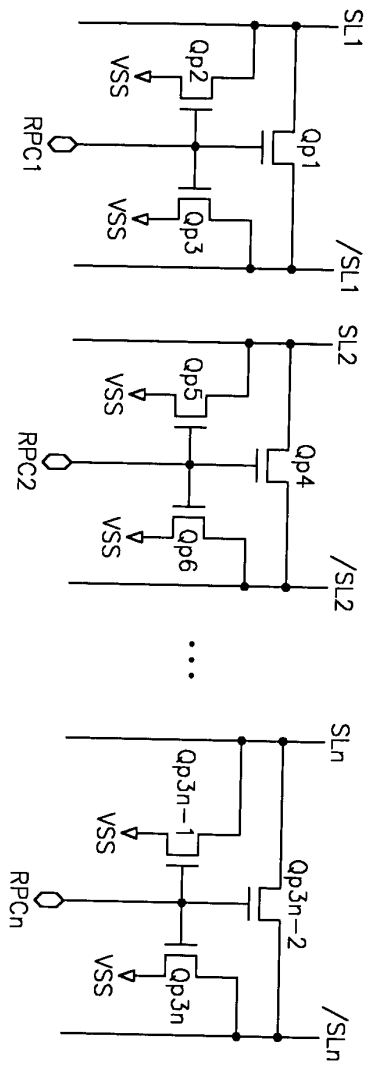
출력 일자: 2003/8/29

【도 7】



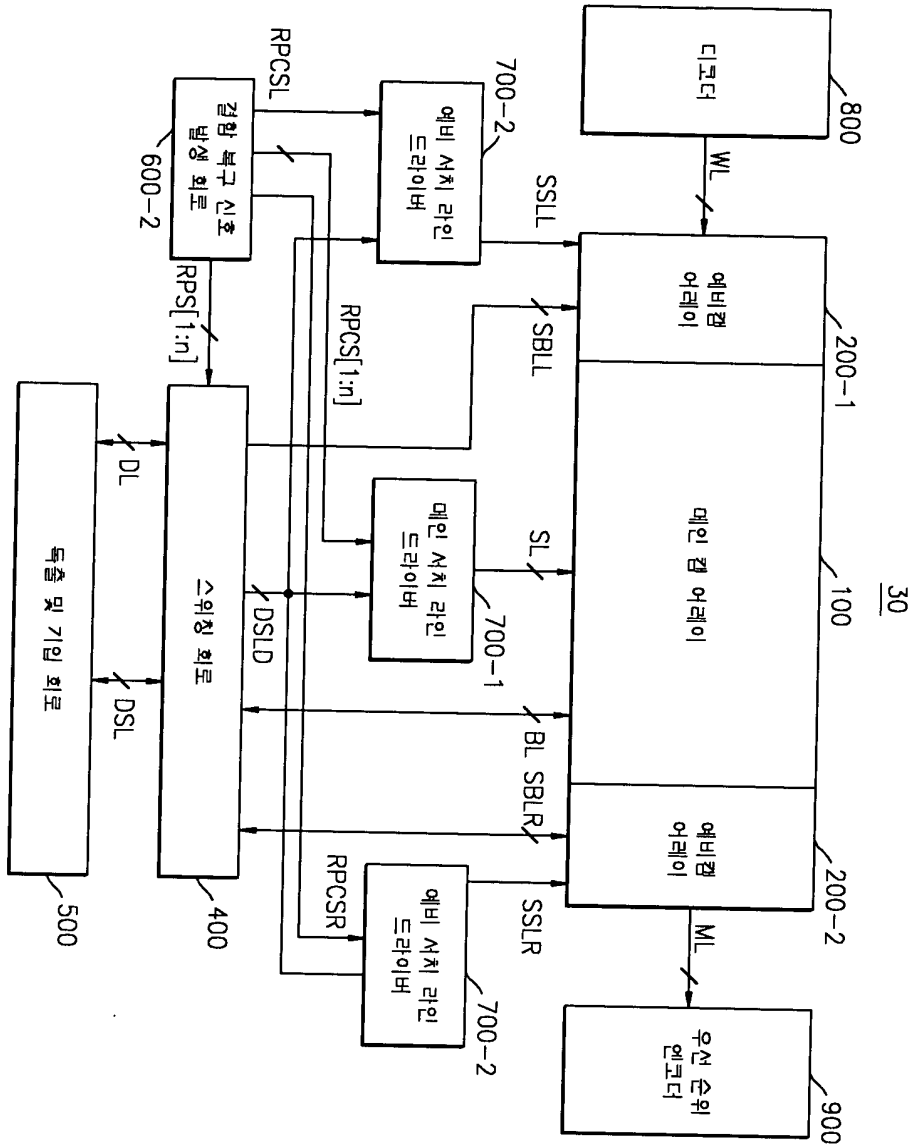


【도 8】



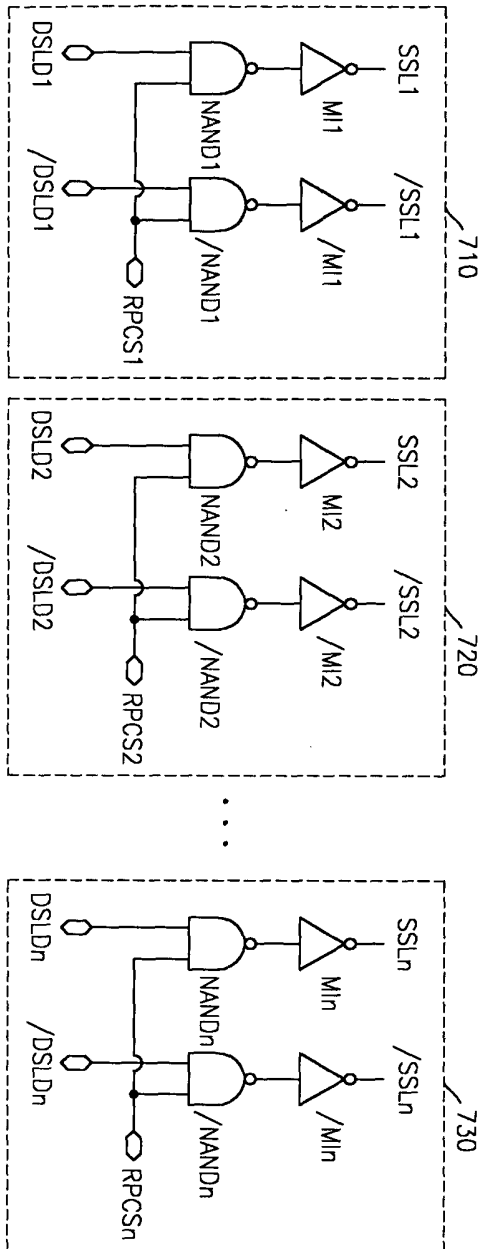


【도 9】





【도 10a】





【도 10b】

